

(43) 国際公開日
2006 年 1 月 19 日 (19.01.2006)

PCT

(10) 国際公開番号
WO 2006/006244 A1

- (51) 国際特許分類⁷: H03F 1/56, 3/189
 (21) 国際出願番号: PCT/JP2004/010047
 (22) 国際出願日: 2004 年 7 月 14 日 (14.07.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 Tokyo (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 森 一富 (MORI, Kazutomi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 新庄 真太郎 (SHINJO, Shintaro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 服部 公春 (HATTORI, Masaharu) [JP/JP];

〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 高橋 利成 (TAKAHASHI, Kazunori) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 関博昭 (SEKI, Hiroaki) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 太田 彰 (OHTA, Akira) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 末松 憲治 (SUEMATSU, Noriharu) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP).

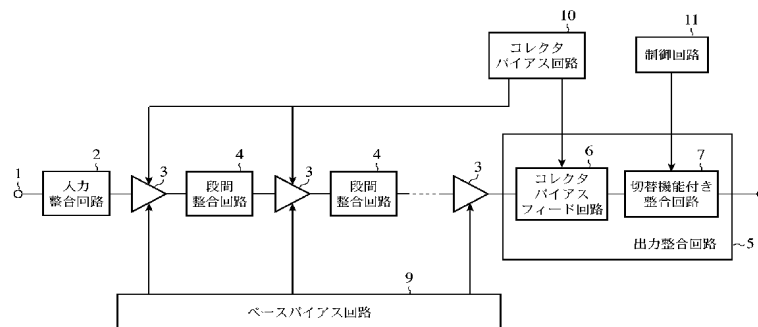
(74) 代理人: 田澤 博昭, 外 (TAZAWA, Hiroaki et al.); 〒1000013 東京都千代田区霞が関三丁目 7 番 1 号 大東ビル 7 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,

[続葉有]

(54) Title: HIGH OUTPUT AMPLIFIER

(54) 発明の名称: 高出力増幅器



- 2 INPUT MATCHING CIRCUIT
 4 INTER-STAGE MATCHING CIRCUIT
 5 OUTPUT MATCHING CIRCUIT
 6 COLLECTOR BIAS FEED CIRCUIT
 7 MATCHING CIRCUIT WITH SWITCHING FUNCTION
 9 BASE BIAS CIRCUIT
 10 COLLECTOR BIAS CIRCUIT
 11 CONTROL CIRCUIT

(57) Abstract: A high output amplifier in which the matching conditions of an output matching circuit (5) connected between an amplification element (3) at the final stage and an output terminal are altered according to the output power from the amplification element (3). Consequently, efficiency can be enhanced greatly at the time of low output without lowering the efficiency at the time of maximum output. Since a DC-DC converter is not required to be mounted, increase in the size or the cost can be prevented.

(57) 要約: 増幅素子 3 の出力電力に応じて、最終段の増幅素子 3 と出力端子 8 間に接続されている出力整合回路 5 の整合条件を変更する。これにより、最大出力時の効率を低減することなく、低出力時の効率を大幅に高めることができる。また、DC-DC コンバータを搭載する必要がないので、大型化やコスト高の発生を防止することができる。



WO 2006/006244 A1



HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

高出力増幅器

技術分野

[0001] この発明は、入力信号を増幅して出力する高出力増幅器に関するものである。

背景技術

[0002] 一般的に高出力増幅器は、入力電力が大きくなるにしたがって出力電力が増加し、ある出力電力で飽和する特性を有している。

高出力増幅器の効率は、飽和付近で高く、低出力時は効率が低くなるという特性を有している。

したがって、高出力増幅器は、低出力時の効率が低くなるという課題を有している。

[0003] W-CDMAやN-CDMAなどの通信方式を採用している携帯電話においては、携帯電話の基地局からの距離や電波環境に応じて出力電力が制御されるが、最大出力電力を送信している時間は短く、むしろ、最大出力から10〜15dB程度低い出力電力を送信している確率の方が高い。

そのため、携帯電話に用いる高出力増幅器は、通話時間を延ばすために、最大出力時の効率だけではなく、10〜15dB程度低い出力電力時の効率を高める(消費電力を少なくする)ことが求められている。

[0004] 従来の高出力増幅器は、アイドル電流を小さくする設計を行うことによって低出力時の効率を高める工夫がなされている。

しかし、これだけでは不十分であるため、増幅素子のドレイン電圧やコレクタ電圧を出力電力に応じて制御することによって、低出力時の効率を高める高出力増幅器が提案されている(例えば、非特許文献1を参照)。

具体的には下記の通りである。

[0005] 入力端子から入力した信号は、DCカットキャパシタ、キャパシタ及びインダクタから構成される入力整合回路を介して増幅素子に輸入されて増幅され、増幅素子から出力された信号は、DCカットキャパシタ、キャパシタ及びインダクタから構成される出力整合回路を介して出力端子より出力される。

低出力電力時においては、可変抵抗値を変化させてDC-DCコンバータから出力される電圧を低くすることによって、低出力時の高出力増幅器の効率を高めている。

[0006] 非特許文献1:T. B. Nishimura, N. Iwata, G. Hau著 “IEEE MTT-S Sym p. Digest, 1999, pp. 1091-1094”

[0007] 従来の高出力増幅器は以上のように構成されているので、可変抵抗値を変化させてDC-DCコンバータから出力される電圧を低くすることにより、低出力時における効率をある程度改善することができる。しかし、DC-DCコンバータは大きな部品であるため、小型化が難しく、コスト高を招く課題があった。また、DC-DCコンバータ自体の効率が全体の効率を下げる要因になり、低出力時の効率の改善効果が少ないなどの課題があった。

[0008] この発明は上記のような課題を解決するためになされたもので、コスト高や大型化を招くことなく、低出力時の効率を高めることができる高出力増幅器を得ることを目的とする。

発明の開示

[0009] この発明に係る高出力増幅器は、増幅素子の出力電力に応じて、最終段の増幅素子と出力端子間に接続されている整合回路の整合条件を変更するようにしたものである。

[0010] このことによって、コスト高や大型化を招くことなく、低出力時の効率を高めることができるなどの効果がある。

図面の簡単な説明

[0011] [図1]この発明の実施の形態1による高出力増幅器を示す構成図である。

[図2]この発明の実施の形態1による高出力増幅器の出力整合回路の内部構成を示す構成図である。

[図3]最終段の増幅素子の最適出力負荷インピーダンスの出力電力による変化を示す説明図である。

[図4]最適インピーダンスの場合の効率とACPRを示す説明図である。

[図5]この発明の実施の形態2による高出力増幅器の出力整合回路の内部構成を示す構成図である。

[図6]この発明の実施の形態3による高出力増幅器の出力整合回路の内部構成を示す構成図である。

[図7]この発明の実施の形態4による高出力増幅器のスイッチの内部構成を示す構成図である。

[図8]この発明の実施の形態5による高出力増幅器のスイッチの内部構成を示す構成図である。

[図9]回路電圧の計算結果を示す説明図である。

[図10]この発明の実施の形態6による高出力増幅器のスイッチの内部構成を示す構成図である。

[図11]この発明の実施の形態7による高出力増幅器を示す構成図である。

[図12]この発明の実施の形態8による高出力増幅器を示す構成図である。

[図13]この発明の実施の形態9による高出力増幅器を示す構成図である。

[図14]入力整合回路の内部構成を示す構成図である。

[図15]入力整合回路の内部構成を示す構成図である。

[図16]入力整合回路の内部構成を示す構成図である。

[図17]ベース電圧を低くして、アイドルコレクタ電流を低くした場合の高出力増幅器の通過位相特性の変化を示す説明図である。

[図18]ベース電圧を低くして、アイドルコレクタ電流を低くした場合の高出力増幅器の通過位相特性の変化を示す説明図である。

[図19]ベース電圧を低くして、アイドルコレクタ電流を低くした場合の高出力増幅器の通過位相特性の変化を示す説明図である。

[図20]ConとCoffの割合が変化したときに、スイッチがオン／オフした場合の2段HBT高出力増幅器の通過位相の変化を示す説明図である。

[図21]ConとCoffの割合が変化したときに、スイッチがオン／オフした場合の2段HBT高出力増幅器の通過位相の変化を示す説明図である。

発明を実施するための最良の形態

[0012] 以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態1.

図1はこの発明の実施の形態1による高出力増幅器を示す構成図である。

- [0013] 図において、入力端子1は入力信号を入力する高出力増幅器の端子であり、入力整合回路2は入力端子1と増幅素子3間に接続され、入力端子1と増幅素子3間の整合を図るものである。

増幅素子3は例えばFET、HEMT、HBT、BJTなどから構成され、入力信号を増幅して出力する。

段間整合回路4は2つの増幅素子3間に接続され、2つの増幅素子3間の整合を図るものである。

- [0014] 出力整合回路5は最終段の増幅素子3と出力端子間8に接続され、最終段の増幅素子3と出力端子間8の整合を図るものである。

コレクタバイアスフィード回路6は出力整合回路5に内蔵され、最終段の増幅素子3のコレクタ(またはドレイン)にバイアスを供給する。

切替機能付き整合回路7は出力整合回路5に内蔵され、制御回路11の指示の下、出力整合回路5の整合条件を変更する。なお、切替機能付き整合回路7は整合条件変更手段を構成している。

- [0015] ベースバイアス回路9は多段構成の増幅素子3のベース(またはゲート)にベースバイアス(またはゲートバイアス)電圧を供給する。

コレクタバイアス回路10は最終段の増幅素子3を除く増幅素子3のコレクタ(またはドレイン)にコレクタバイアス(またはドレインバイアス)電圧を供給するとともに、コレクタバイアスフィード回路6を介して、最終段の増幅素子3のコレクタ(またはドレイン)にコレクタバイアス(またはドレインバイアス)電圧を供給する。

制御回路11は増幅素子3の出力電力が低下すると、最終段の増幅素子3の出力負荷インピーダンスの虚数部が増加するように、切替機能付き整合回路7を制御する。

- [0016] 図2は出力整合回路5の内部構成を示す構成図であり、図において、入力端子21は最終段の増幅素子3の出力端子と接続され、コレクタバイアス端子22はコレクタバイアス回路10と接続され、制御端子23は制御回路11と接続されている。

バイアスフィード回路6のバイパスコンデンサ24は一端がコレクタバイアス端子22と接続され、他端がグランドと接続されている。

バイアスフィード回路6の1/4波長線路25は一端がコレクタバイアス端子22と接続され、他端が入力端子21と接続されている。

[0017] DCカットキャパシタ26とスイッチ27の直列回路から第1のインピーダンス回路が構成され、制御回路11の指示の下、スイッチ27がオン／オフする。

キャパシタ28とインダクタ29の直列回路から第2のインピーダンス回路が構成され、第1のインピーダンス回路と並列に接続されている。

インダクタ30及びキャパシタ31は出力端子8と直列に接続されている。キャパシタ32, 33は一端がインダクタ30と接続され、他端がグランドと接続されている。

[0018] 次に動作について説明する。

入力端子1から入力された信号は、入力整合回路2を介して、初段の増幅素子3に入力される。

初段の増幅素子3は、入力整合回路2から入力信号を受けると、その入力信号を増幅し、増幅後の信号を段間整合回路4を介して、次段の増幅素子3に出力する。

[0019] 次段の増幅素子3から最終段の増幅素子3は、前段の増幅素子3から段間整合回路4を介して信号を受けると、初段の増幅素子3と同様にして信号を増幅して出力する。

最終段の増幅素子3から出力された信号は、出力整合回路5を介して、出力端子8から出力される。

[0020] ここで、図3は最終段の増幅素子3の最適な出力負荷インピーダンスの出力電力による変化を示す計算結果である。ただし、最適出力負荷インピーダンスは、規格によって決められた歪の仕様を満足する範囲で、効率が最も高くなる出力負荷インピーダンスのことである。

計算に用いられている増幅素子3は、InGaP HBT (32フィンガー、1フィンガーは $4 \times 20 \mu\text{m}^2$) であり、バイアス条件は $V_c = 3.5\text{V}$ 、アイドルコレクタ電流は $I_{cq} = 18\text{mA}$ 、周波数は 1.95GHz であり、W-CDMA携帯電話端末に対する変調波を用いている。

[0021] 図3の例では、最適出力負荷インピーダンスは、W-CDMA変調波に対するそれぞれの出力において、ACPR<-38dBcで最大効率が得られるインピーダンスである。ACPRは歪特性である。

また、最適出力負荷インピーダンスは、最大出力25dBmに対して、出力電力が小さくなるにしたがってインピーダンスの虚数部が大きくなる方向へ移動している。

[0022] 図4はそれぞれの出力電力において、図3の最適出力負荷インピーダンスの場合の効率とACPRの値を示す計算結果である。

図4のIcq Constは、ベース電圧が一定(Icqが一定)である条件での計算結果であり、Icq Controlは、ACPR<-38dBcを満足する範囲で、アイドルコレクタ電流Icqを少なく制御した場合の結果である。

[0023] 例えば、出力電力が25dBmである時の最適出力負荷インピーダンスが維持されている状態で、出力電力が14dBだけ低下し、出力電力が11dBmになったときの効率は9%になる。

したがって、図4より、出力電力が低下したとき、出力負荷インピーダンスの虚数部を増加する方向に変化させることにより(図3を参照)、出力電力11dBmの最適インピーダンスを実現すると、効率を9%から18%に改善することができることが分かる。

[0024] そこで、この実施の形態1では、制御回路11が増幅素子3の出力電力を監視し、その出力電力が低下すると、最終段の増幅素子3の出力負荷インピーダンスの虚数部が増加するように、切替機能付き整合回路7を制御するようにしている。ここでは、最終段の増幅素子3の出力電力を監視するものを想定しているが、他の増幅素子3の出力電力を監視するようにしてもよい。

具体的には下記の通りである。

[0025] まず、出力整合回路5の入力端子21には、バイパスコンデンサ24と1/4波長線路25で構成されているコレクタバイアスフィード回路6が接続されているが、コレクタバイアスフィード回路6は、使用周波数において、バイパスコンデンサ24のところでショートインピーダンスを1/4波長線路25でオープンインピーダンスとしているため、最終段の増幅素子3の出力負荷インピーダンスには影響を与えない。

そのため、最終段の増幅素子3の出力負荷インピーダンスは、切替機能付き整合

回路7によって決定される。

[0026] 切替機能付き整合回路7は、DCカットキャパシタ26とスイッチ27の直列回路と、キャパシタ28とインダクタ29の直列回路とが並列に接続されている回路を有している。

制御回路11は、増幅素子3の出力電力を監視し、その出力電力が所定の電力より大きいとき切替機能付き整合回路7のスイッチ27をオンすることにより、最終段の増幅素子3の出力信号がDCカットキャパシタ26を通過するようにする。この場合、キャパシタ28とインダクタ29には、出力信号がほとんど流れない。

一方、増幅素子3の出力電力が所定の電力より小さいとき切替機能付き整合回路7のスイッチ27をオフすることにより、最終段の増幅素子3の出力信号がキャパシタ28とインダクタ29を通過するようにする。

[0027] これにより、増幅素子3の出力電力が小さくなると、その出力電力が大きい場合よりも、増幅素子3の出力負荷インピーダンスの虚数部が増加することになる。

したがって、スイッチ27がオンされる状況下では、最大出力時の最適負荷インピーダンスが実現されるように、キャパシタ26、31、32、33及びインダクタ30を設計すれば、スイッチ27がオフされる状況下では、インダクタ29とDCカットキャパシタ26のリアクタンス成分の差分だけ虚数成分を増加することができる。なお、インダクタ29の値は、スイッチ27がオフされる状況下で低出力時の最適負荷インピーダンスを実現する値に設定される。

[0028] 以上で明らかなように、この実施の形態1によれば、増幅素子3の出力電力に応じて、最終段の増幅素子3と出力端子8間に接続されている出力整合回路5の整合条件を変更するように構成したので、最大出力時の効率を低減することなく、低出力時の効率を大幅に高めることができる効果を奏する。また、DC-DCコンバータを搭載する必要がないので、大型化やコスト高の発生を防止することができる効果も奏する。

[0029] また、この実施の形態1によれば、増幅素子3の出力電力が所定の電力より大きいとき切替機能付き整合回路7のスイッチ27をオンし、増幅素子3の出力電力が所定の電力より小さいとき切替機能付き整合回路7のスイッチ27をオフするように構成したので、最大出力時の最適負荷インピーダンスと低出力時の最適負荷インピーダンス

を簡単に実現することができる効果を奏する。

[0030] なお、切替機能付き整合回路7のスイッチ27がダイオードやトランジスタで構成されている場合、一般的に歪特性はスイッチ27をオフにした場合の方が悪い。この実施の形態1では、歪特性が厳しいオフ時に低出力時となるためスイッチ27で発生する歪特性を抑えることが可能である。

[0031] 実施の形態2.

図5はこの発明の実施の形態2による高出力増幅器の出力整合回路5の内部構成を示す構成図である。

図2の出力整合回路5と比較して、切替機能付き整合回路7のキャパシタ32が最終段の増幅素子3側に移動、即ち、コレクタバイアスフィード回路6と並列に接続されている点でのみ相違している。なお、コレクタバイアスフィード回路6とキャパシタ32の間に、線路が存在していてもよい。

[0032] 次に動作について説明する。

出力整合回路5の入力端子21には、バイパスコンデンサ24と1/4波長線路25で構成されているコレクタバイアスフィード回路6が接続されているが、コレクタバイアスフィード回路6は、使用周波数において、バイパスコンデンサ24のところでショートの入ピーダンスを1/4波長線路25でオープンの入ピーダンスとしているため、最終段の増幅素子3の出力負荷入ピーダンスには影響を与えない。

[0033] しかし、現実には、スペース上の制限などにより、1/4波長線路25が1/4波長の長さまで実現できず、1/4波長よりも短くなる場合がある。この場合、コレクタバイアスフィード回路6が最終段の増幅素子3の出力負荷入ピーダンスに影響を与えることになる。

[0034] この実施の形態2では、1/4波長線路25が1/4波長よりも短い場合でも、切替機能付き整合回路7のキャパシタ32が最終段の増幅素子3側に移動して、コレクタバイアスフィード回路6と並列に接続されているので、1/4波長よりも短いことにより発生する並列の入ダクタンス成分を打ち消すことができる。

したがって、コレクタバイアスフィード回路6は、切替機能付き整合回路7のキャパシタ32が接続されていることにより、最終段の増幅素子3の出力負荷入ピーダンスに

影響を与えないようになる。

[0035] この場合、最終段の増幅素子3の出力負荷インピーダンスは、最終段の増幅素子3側に移動したキャパシタ32を除いた切替機能付き整合回路7によって決定される。

したがって、スイッチ27がオンされる状況下では、最大出力時の最適負荷インピーダンスが実現されるように、キャパシタ26, 31, 33及びインダクタ30を設計すれば、スイッチ27がオフされる状況下では、インダクタ29とDCカットキャパシタ26のリアクタンス成分の差分だけ虚数成分を増加することができる。なお、インダクタ29の値は、スイッチ27がオフされる状況下で低出力時の最適負荷インピーダンスを実現する値に設定される。

[0036] 以上で明らかなように、この実施の形態2によれば、最終段の増幅素子3のコレクタにバイアスを供給するバイアスフィード回路6が出力整合回路5の入力端子21に接続されている場合、コレクタバイアスフィード回路6と並列にキャパシタ32が接続されるように構成したので、バイアスフィード回路6の1/4波長線路25を1/4波長の長さまで実現することができない場合でも、1/4波長よりも短いことにより発生する並列のインダクタンス成分を打ち消すことができる効果を奏する。

[0037] 実施の形態3.

図6はこの発明の実施の形態3による高出力増幅器の出力整合回路5の内部構成を示す構成図である。

図において、図5と同一符号は同一または相当部分を示すので説明を省略する。

[0038] DCカットキャパシタ41とスイッチ42の直列回路から第1のインピーダンス回路が構成され、制御回路11の指示の下、スイッチ42がオン／オフする。

キャパシタ43から第2のインピーダンス回路が構成され、第1のインピーダンス回路と並列に接続されている。

[0039] 次に動作について説明する。

1/4波長線路25が1/4波長の長さまで実現できない場合もあるので、上記実施の形態2と同様に、切替機能付き整合回路7のキャパシタ32を最終段の増幅素子3側に移動して、コレクタバイアスフィード回路6と並列に接続するようにしている。

したがって、コレクタバイアスフィード回路6は、切替機能付き整合回路7のキャパシ

タ32が接続されていることにより、最終段の増幅素子3の出力負荷インピーダンスに影響を与えないようになる。

[0040] この場合、最終段の増幅素子3の出力負荷インピーダンスは、最終段の増幅素子3側に移動したキャパシタ32を除いた切替機能付き整合回路7によって決定される。

[0041] 制御回路11は、増幅素子3の出力電力を監視し、その出力電力が所定の電力より大きいとき切替機能付き整合回路7のスイッチ42をオフすることにより、最終段の増幅素子3の出力信号がキャパシタ43を通過するようにする。

一方、増幅素子3の出力電力が所定の電力より小さいとき切替機能付き整合回路7のスイッチ42をオンすることにより、最終段の増幅素子3の出力信号がキャパシタ41とキャパシタ43の両方を通過して、直列のキャパシタの値が増加するようにする。

[0042] これにより、増幅素子3の出力電力が小さくなると、その出力電力が大きい場合よりも、増幅素子3の出力負荷インピーダンスの虚数部が増加することになる。

したがって、スイッチ42がオフされる状況下では、最大出力時の最適負荷インピーダンスが実現されるように、キャパシタ31、33、43及びインダクタ30を設計すれば、スイッチ42がオンされる状況下では、出力負荷インピーダンスの虚数成分を増加することができる。なお、キャパシタ43の値は、最大出力時の最適インピーダンスと、低出力時の最適インピーダンスとの差分の虚数成分を実現する値に設定される。

[0043] 以上で明らかなように、この実施の形態3によれば、増幅素子3の出力電力が所定の電力より大きいとき切替機能付き整合回路7のスイッチ42をオフし、増幅素子3の出力電力が所定の電力より小さいとき切替機能付き整合回路7のスイッチ42をオンするように構成したので、最大出力時の最適負荷インピーダンスと低出力時の最適負荷インピーダンスを簡単に実現することができる効果を奏する。

また、インダクタ29が不要になるため、高出力増幅器の小型化を図ることができる効果を奏する。

さらに、増幅素子3の出力電力が所定の電力より大きいとき切替機能付き整合回路7のスイッチ42をオフするので、最大出力時の効率の低下を抑制することができる効果を奏する。

[0044] 実施の形態4.

図7はこの発明の実施の形態4による高出力増幅器のスイッチ27, 42の内部構成を示す構成図である。

図において、ダイオード53は例えばPINダイオード、ショットキーダイオード、PNダイオードなどのダイオードであり、入力端子51と出力端子52の間に接続されている。

[0045] バイアスフィード抵抗54は一端が入力端子51と接続され、他端がグランドと接続されている。

バイアスフィード抵抗55は一端が出力端子52と接続され、他端が制御端子23と接続されている。

[0046] 次に動作について説明する。

切替機能付き整合回路7のスイッチ27, 42は、ダイオード53のバイアスをオン／オフすることで実現している。ダイオード53のバイアスフィードには、図7に示すように、バイアスフィード抵抗54, 55を用いてもよいし、バイアスフィードインダクタ56を用いてもよい。

[0047] ただし、バイアスフィード抵抗54, 55を用いる場合は、増幅素子3と同一の半導体基板上に実現することが可能であるため、高出力増幅器全体の小型化が可能である。

また、ダイオード53として、ショットキーダイオードやPNダイオードを用いる場合は、FETのソース・ドレイン電極を共通としてショットキーダイオードを構成したり、BJTやHBTのエミッタ・コレクタを共通としてPNダイオードを構成したりするなどの工夫を行うと、増幅素子3と同一の基板上にダイオード53も容易に構成することができ、高出力増幅器全体の小型化が可能である。小型化は同時に低コスト化にもつながる。

[0048] 制御回路11は、ダイオード53をオンする場合、制御端子23に正電圧を印加する。一方、ダイオード53をオフする場合、制御端子23に0Vもしくは負電圧を印加する。

ダイオード53に入力される信号が大きい場合、特にダイオード53をオフする際の歪特性が劣化するため、その場合には負電圧を印加する必要がある。

[0049] なお、ダイオード53としてPINダイオードを用いる場合、ショットキーダイオードやPNダイオードを用いる場合と比較して、少ないダイオード電流でダイオード53がオン

するため、ダイオード53での消費電流を小さくすることができる。したがって、高出力増幅器全体での効率を高めることができる効果を奏する。

[0050] 実施の形態5.

図8はこの発明の実施の形態5による高出力増幅器のスイッチ27, 42の内部構成を示す構成図である。

図において、図7と同一符号は同一または相当部分を示すので説明を省略する。

[0051] 電源電圧印加端子57は電源電圧 V_{cc} が印加される。トランジスタ58は例えばBJT、HBT、FETなどからなるトランジスタスイッチである。

抵抗59は抵抗値が R_c であり、一端が電源電圧印加端子57と接続され、他端がトランジスタ58のコレクタと接続されている。

抵抗60は抵抗値が R_b であり、一端が制御端子23と接続され、他端がトランジスタ58のベースと接続されている。

[0052] 次に動作について説明する。

切替機能付き整合回路7のスイッチ27, 42は、ダイオード53のバイアスをオン／オフすることで実現している。

制御回路11は、上記実施の形態4と同様に、ダイオード53をオンする場合、制御端子23に正電圧を印加するが、ダイオード53をオフする際の歪特性の劣化を防止するためには、負電圧を印加する必要がある。

しかし、全て正電圧で実現したいという要求も存在するので、この実施の形態5では、制御回路11が0Vを制御端子23に印加しても、オフ時の歪特性が劣化しないように工夫している。

具体的には下記の通りである。

[0053] まず、電源電圧印加端子57には常に正の電源電圧 V_{cc} が印加されている。

制御回路11が0Vの制御電圧 V_{cont} を制御端子23に印加すると、トランジスタ58がオフになるため、トランジスタ58には電流が流れず、トランジスタ58の出力側の電圧 V_{d-} が電源電圧 V_{cc} と一致する。

また、トランジスタ58の入力側の電圧 V_{d+} は、制御電圧 V_{cont} そのものであるため0Vとなる。

したがって、ダイオード53には、負の方向の電圧 $-V_{cc}$ が印加される。

[0054] 一方、制御回路11が正の制御電圧 V_{cont} (例えば $+2.5V$)を制御端子23に印加すると、トランジスタ58がオンになるため、トランジスタ58には電流 I_c が流れる。

したがって、トランジスタ58の出力側の電圧 V_{d-} は、電源電圧 V_{cc} から抵抗59による電圧降下分を引いた $V_{cc}-R_c \times I_c$ となる。抵抗59の抵抗値 R_c が大きい場合、トランジスタ58の出力側の V_{d-} は、トランジスタ58のニー電圧である $0.5V$ 程度となる。

[0055] また、トランジスタ58の入力側の電圧 V_{d+} は、制御電圧 V_{cont} そのものであるため、例えば $+2.5V$ になる。

したがって、ダイオード53には、正の方向の電圧 $+2.0$ が印加される。

[0056] 図9は回路電圧の計算結果を示しており、正の電圧のみで、ダイオード53に正極性と負極性の電圧を印加することが可能である。

これにより、この実施の形態5では、正電圧のみの制御で、ダイオード53を低歪に動作させることができる。

また、この実施の形態5では、抵抗とトランジスタのみで構成されているので、増幅素子3と同一基板上に構築でき、高出力増幅器の小型化を図ることができる。

[0057] 実施の形態6.

図10はこの発明の実施の形態6による高出力増幅器のスイッチの内部構成を示す構成図である。

図において、図7と同一符号は同一または相当部分を示すので説明を省略する。

[0058] トランジスタ71は例えばBJT、HBT、FETなどのトランジスタであり、入力端子51と出力端子52の間に接続されている。

抵抗72は一端がトランジスタ71のベースと接続され、他端が制御端子23と接続されている。

[0059] 次に動作について説明する。

制御回路11が制御端子23に印加する電圧を制御することで、トランジスタ71のオン／オフを実現することができる。

したがって、トランジスタ71がスイッチとして動作することになるが、制御端子23から入力される制御信号と、入力端子51から入力される信号とが通過するパスの間は、ト

ランジスタ71によってアイソレーションが十分にとれるため、制御端子23側のインピーダンスによる通過損失を小さくすることができる。

[0060] したがって、この実施の形態6で、上記実施の形態3と比較して、高効率にすることができる。同時にトランジスタ71の代わりにMEMSスイッチのような機械式のスイッチを用いた場合には、MEMSスイッチの通過損失が小さいため、高出力増幅器の効率をさらに高めることができる。

[0061] 実施の形態7.

図11はこの発明の実施の形態7による高出力増幅器を示す構成図である。

図において、図1と同一符号は同一または相当部分を示すので説明を省略する。

[0062] ベースバイアス回路12は制御回路13の指示の下、増幅素子3のベース(またはゲート)に供給するベースバイアス(またはゲートバイアス)電圧を制御する。なお、ベースバイアス回路12は電圧制御手段を構成している。

制御回路13は図1の制御回路11と同様に、増幅素子3の出力電力が低下すると、最終段の増幅素子3の出力負荷インピーダンスの虚数部が増加するように切替機能付き整合回路7を制御し、また、増幅素子3の出力電力が低下すると、増幅素子3のアイドル電流が少なくなるようにベースバイアス回路12を制御する。

[0063] 次に動作について説明する。

上記実施の形態1と比較して、増幅素子3の出力電力が低下したとき、最終段の増幅素子3の出力負荷インピーダンスの虚数部が増加するように切替機能付き整合回路7を制御するだけでなく、増幅素子3のアイドル電流が少なくなるようにベースバイアス回路12を制御する点で、相違している。

以下、相違点を具体的に説明する。

[0064] 図4の I_{cq} Controlの計算結果は、 $ACPR < -38\text{dBc}$ を満足する範囲で、アイドルコレクタ電流 I_{cq} を少なくした場合の結果である。したがって、出力負荷インピーダンスを図3に示すように最大出力時と低出力時で切り替える際に、増幅素子3のベースバイアス電圧を制御し、低出力時にコレクタのアイドル電流を図4のように少なくすることによって、低出力時の効率をさらに高めることができる。

[0065] そこで、この実施の形態7では、制御回路13が増幅素子3の出力電力を監視し、そ

の出力電力が所定の電力より小さくなると、増幅素子3のアイドル電流の減少を指示する制御信号をベースバイアス回路12に出力する。

ベースバイアス回路12は、制御回路13からアイドル電流の減少を指示する制御信号を受けると、増幅素子3のベースに供給するベースバイアス電圧を高めて、増幅素子3のアイドル電流を少なくする。

[0066] 以上で明らかなように、この実施の形態7によれば、増幅素子3の出力電力が低下すると、その増幅素子3のアイドル電流が少なくなるように、その増幅素子3のベースバイアス電圧を制御するように構成したので、上記実施の形態1よりも更に低出力時の効率を高めることができる効果を奏する。

[0067] 実施の形態8.

図12はこの発明の実施の形態8による高出力増幅器を示す構成図である。

図において、図11と同一符号は同一または相当部分を示すので説明を省略する。

[0068] コレクタバイアス回路14は制御回路15の指示の下、増幅素子3のコレクタ(またはドレイン)に供給するコレクタバイアス(またはドレインバイアス)電圧を制御する。なお、コレクタバイアス回路14は電圧制御手段を構成している。

制御回路15は図11の制御回路13と同様に、増幅素子3の出力電力が低下すると、最終段の増幅素子3の出力負荷インピーダンスの虚数部が増加するように切替機能付き整合回路7を制御するとともに、増幅素子3のアイドル電流が少なくなるようにベースバイアス回路12を制御する。また、増幅素子3の出力電力が低下すると、コレクタバイアス回路14を制御する。

[0069] 次に動作について説明する。

上記実施の形態7と比較して、増幅素子3の出力電力が低下したとき、増幅素子3のアイドル電流が少なくなるようにベースバイアス回路12を制御するだけでなく、増幅素子3のコレクタバイアス電圧を下げる点で、相違している。

以下、相違点を具体的に説明する。

[0070] 増幅素子3のコレクタバイアス電圧を、歪特性であるACPRが規格を満足する範囲で低下させることによって、最大出力時の効率を低下させることなく、低出力時の効率をさらに高めることができる。

[0071] そこで、この実施の形態8では、制御回路15が増幅素子3の出力電力を監視し、その出力電力が所定の電力より小さくなると、増幅素子3のコレクタバイアス電圧の下げを指示する制御信号をコレクタバイアス回路14に出力する。

コレクタバイアス回路14は、制御回路15から増幅素子3のコレクタバイアス電圧の下げを指示する制御信号を受けると、増幅素子3のコレクタに供給するコレクタバイアス電圧を下げる。

[0072] 以上で明らかなように、この実施の形態8によれば、増幅素子3の出力電力が低下すると、増幅素子3のコレクタバイアス電圧を下げるように構成したので、上記実施の形態7よりも更に低出力時の効率を高めることができる効果を奏する。

[0073] この実施の形態8では、コレクタバイアス回路14が増幅素子3のコレクタバイアス電圧を制御するものについて示したが、コレクタバイアス回路14の代わりに、DC-DCコンバータを用いてもよいし、S級の変調器を用いてもよい。

[0074] 実施の形態9.

図13はこの発明の実施の形態9による高出力増幅器を示す構成図である。

図において、図12と同一符号は同一または相当部分を示すので説明を省略する。

[0075] 位相調整回路16は制御回路17の指示の下、出力整合回路5の整合条件が変更される際の通過位相の変化が少なくなるように、入力信号の通過位相を調整する。

なお、図13の例では、位相調整回路16が入力整合回路2に搭載されているものについて示しているが、位相調整回路16が段間整合回路4に搭載されていても、出力整合回路5の整合条件が変更される際の通過位相の変化が少なくなるように、入力信号の通過位相を調整することができる。

[0076] 制御回路17は図12の制御回路15と同様に、切替機能付き整合回路7やベースバイアス回路12やコレクタバイアス回路14を制御するとともに、位相調整回路16を制御する。

[0077] 図14は入力整合回路2の内部構成を示す構成図である。図において、出力端子81は初段の増幅素子3と接続され、制御端子82は制御回路17と接続される。

キャパシタ83は一端が入力端子1と接続され、他端が位相調整回路16と接続されている。

インダクタ84は一端がキャパシタ83の他端と接続され、他端がグランドと接続されている。

[0078] スイッチ85は制御回路17によりオン／オフ制御が実施される。キャパシタ86はスイッチ85と直列に接続され、Conの容量値を有している。

キャパシタ87はスイッチ85とキャパシタ86からなる直列回路と並列に接続され、Coffの容量値を有している。

[0079] 次に動作について説明する。

上記実施の形態8と比較して、入力整合回路2の内部に位相調整回路16が搭載されている点で相違している。

以下、相違点を具体的に説明する。

[0080] 図17から図19はHBTを用いた2段増幅器において、出力電力が低いときに出力整合回路5を切り替える際、ベース電圧を低くして、アイドルコレクタ電流を低くした場合の高出力増幅器の通過位相特性の変化を示す計算結果である。

ここでは、出力整合回路5内のインピーダンスを切り替える回路として、図5のスイッチ27でインピーダンスを切り替える場合について計算を実施している。

[0081] 特に、図17は最大出力時の条件、即ち、スイッチ27がオンであり、バイアス条件を変化する前の通過位相特性の計算結果を示している。

また、図18は低出力時にスイッチ27をオフとした場合の計算結果を示している。

また、図19はさらに、バイアス条件を変化させ、アイドルコレクタ電流を低くした場合の計算結果である。

[0082] 図17～図19から明らかなように、出力整合回路5を切り替えることにより、1.95GHzでの通過位相特性が -108.8° から -73.3° へと $+35.5^\circ$ 変化する。

また、出力整合回路5とバイアス条件を同時に変化することで、 -108.8° から -90.9° へと $+17.9^\circ$ 変化することが分かる。

[0083] 通信機器において、信号の通過位相が大きく変化すると、特に同期検波方式を用いている受信機を用いる場合、同期はずれが発生して通信が寸断される可能性があるため、通過位相特性の変化を小さくする必要がある。したがって、高出力増幅器においても、位相の変化を小さくする必要がある。

そこで、この実施の形態9では、入力整合回路2の内部に位相調整回路16を搭載して、通過位相の変化を小さくするようにしている。

[0084] 制御回路17は、増幅素子3の出力電力を監視し、その出力電力が所定の電力より大きい場合(図5のスイッチ27がオンしている時)、位相調整回路16のスイッチ85をオンする。

一方、増幅素子3の出力電力が所定の電力より小さい場合(図5のスイッチ27がオフしている時)、位相調整回路16のスイッチ85をオフする。

[0085] したがって、高出力増幅器の入力整合は、位相調整回路16のスイッチ85がオンしている高出力時では、キャパシタ83, 86, 87及びインダクタ84により行われる。

一方、位相調整回路16のスイッチ85がオフしている低出力時では、キャパシタ83, 87及びインダクタ84により行われる。

[0086] このため、位相調整回路16のスイッチ85がオンしている高出力時には、最大出力の条件で入力整合されるように、キャパシタ86, 87の合計の容量値 $C_{on} + C_{off}$ を決定する。

また、低出力時に、出力整合やバイアス条件を切り替えたとき発生する通過位相の変化をキャンセルするため、キャパシタ86の容量値 C_{on} と、キャパシタ87の容量値 C_{off} との比率を決定する。

[0087] 図20及び図21は $C_{on} + C_{off} = 2.3\text{pF}$ が一定である条件の下で、 C_{on} と C_{off} の割合が変化したときに、スイッチ85がオン／オフした場合の2段HBT高出力増幅器の通過位相の変化を示す計算結果である。

特に、図20はスイッチ85がオンしている時の計算結果であり、図21はスイッチ85がオフしている時の計算結果である。

図20及び図21では、 C_{on}/C_{off} の組み合わせ例として、 $0.2\text{pF}/2.1\text{pF}$ 、 $0.4\text{pF}/1.9\text{pF}$ 、 $0.6\text{pF}/1.7\text{pF}$ 、 $0.8\text{pF}/1.5\text{pF}$ 、 $1.0\text{pF}/1.3\text{pF}$ 、 $1.2\text{pF}/1.1\text{pF}$ の場合を示している。

[0088] 図20より、スイッチ85がオンしている場合には、 $C_{on} + C_{off} = 2.3\text{pF}$ が一定であるため、通過位相はほとんど変化しないことがわかる。

一方、図21より、スイッチ85がオフしている場合には、 C_{on} の割合を多くしていくに

したがって、通過位相のマイナス方向の変化が大きくなることが分かる。

[0089] そのため、図17ー図19で示した出力整合切替及びバイアス条件の切替と逆の方向に位相が変化することが分かる。

このことから、ConとCoffの値を適切に設定することによって、入力 of 整合を図りつつ、通過位相の変化を小さくすることが可能になる。

[0090] 以上で明らかなように、この実施の形態9によれば、出力整合回路5の整合条件が変更される際の通過位相の変化が少なくなるように、入力信号の通過位相を調整する位相調整回路16が増幅素子3の入力整合回路2に搭載されているので、出力整合回路5の整合条件が変更されても、通過位相の変化を小さくすることができる効果を奏する。

[0091] この実施の形態9では、位相調整回路16が入力整合回路2に搭載されているものについて示したが、位相調整回路16が段間整合回路4に搭載されていてもよい。

この場合、位相調整回路16が、高出力増幅器の入力側にも、出力側にもないため、その損失による雑音特性の低下や効率特性の低下がほとんどなくなる。したがって、雑音特性や効率を維持したまま、通過位相の変化を小さくすることができる。

[0092] この実施の形態9では、位相調整回路16がスイッチ85を内蔵しているものについて示したが、図15に示すように、位相調整回路16が例えば、PINダイオード、ショットキーダイオード、PNダイオードなどのダイオード91を内蔵するようにしてもよい。なお、ダイオード91はバイアスフィード抵抗92を介して制御端子82と接続されているが、そのバイアスフィード抵抗92の代わりにバイアスフィードインダクタを接続してもよい。

[0093] 図15のように、PINダイオードを用いた場合は、ダイオード91におけるオン状態時の消費電流を少なくすることができるため、効率を高めることが可能である。

また、ショットキーダイオードやPNダイオードを用いた場合には、FETのソースやドレイン端子を共通にして実現したり、HBTのエミッタやコレクタ端子を共通にして実現することも可能である。

ショットキーダイオードやPNダイオードの場合には、高出力増幅器に用いる増幅素子と同じ半導体基板上に、キャパシタや抵抗と一緒に実現できるため、MMICへの内蔵が可能であり、高出力増幅器の小型化が可能である。

[0094] また、図16に示すように、位相調整回路16がBJT、HBT、FETなどのトランジスタ94を内蔵するようにしてもよい。

図16のように、BJT、HBT、FETなどのトランジスタ94を用いている場合、高出力増幅器に用いる増幅素子3と同じ半導体基板上に、キャパシタや抵抗と一緒に実現できるため、MMICへの内蔵が可能である。したがって、小型化が可能である。

さらに、信号ラインと制御端子82の間がトランジスタ94でアイソレートされるため、低損失にスイッチを実現することができる。これにより、位相調整回路16の損失が小さくなり、低雑音や高効率な特性を実現することができる。

[0095] なお、スイッチ85として、MEMSスイッチなどのメカニカルスイッチを用いてもよい。MEMSスイッチを用いる場合には、MEMSスイッチが低損失な特性であるため、位相調整回路16の損失が小さくなり、低雑音や高効率な特性を実現することができる。

産業上の利用可能性

[0096] 以上のように、この発明に係る高出力増幅器は、最大出力電力より10〜15dB程度低い出力電力を送信している場合でも、効率を高める必要性が高い携帯電話などに用いるのに適している。

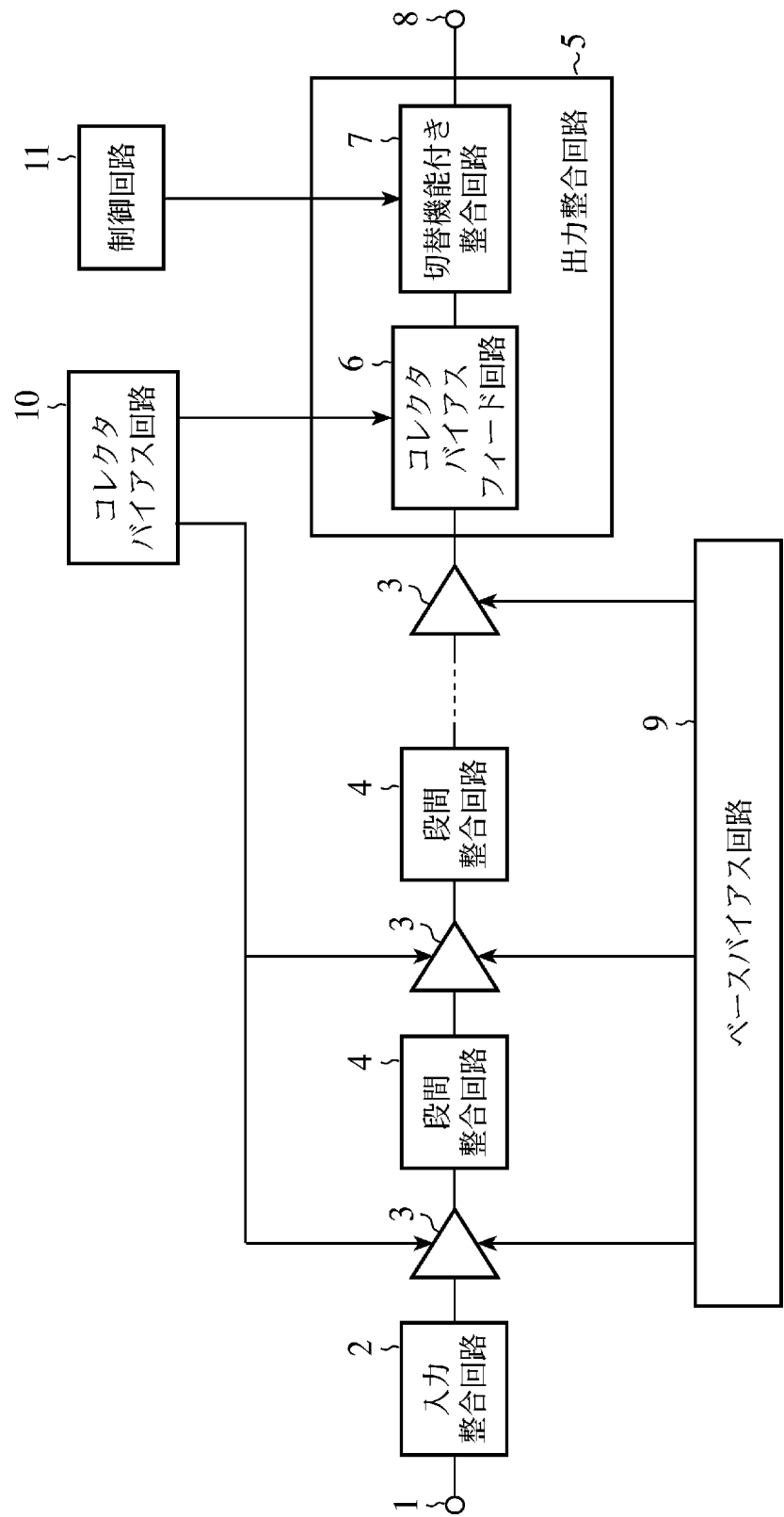
請求の範囲

- [1] 入力信号を増幅して出力する1段又は多段構成の増幅素子と、最終段の増幅素子と出力端子間に接続された整合回路と、上記増幅素子の出力電力に応じて上記整合回路の整合条件を変更する整合条件変更手段とを備えた高出力増幅器。
- [2] 整合条件変更手段は、増幅素子の出力電力が低下すると、最終段の増幅素子の出力負荷インピーダンスの虚数部が増加するように整合回路の整合条件を変更することを特徴とする請求項1記載の高出力増幅器。
- [3] 整合条件変更手段は、インピーダンス素子からなる複数のインピーダンス回路を用いて整合回路が構成されている場合、増幅素子の出力電力に応じて上記インピーダンス回路内のスイッチを開閉制御することを特徴とする請求項1記載の高出力増幅器。
- [4] 整合条件変更手段は、DCカット用キャパシタとスイッチが直列に接続されている第1のインピーダンス回路と、インダクタとキャパシタが直列に接続されている第2のインピーダンス回路とが並列に接続されている場合、増幅素子の出力電力が所定の電力より大きいとき上記スイッチをオンし、その増幅素子の出力電力が所定の電力より小さいとき上記スイッチをオフすることを特徴とする請求項3記載の高出力増幅器。
- [5] 整合条件変更手段は、DCカット用キャパシタとスイッチが直列に接続されている第1のインピーダンス回路と、第2のインピーダンス回路であるキャパシタとが並列に接続されている場合、増幅素子の出力電力が所定の電力より大きいとき上記スイッチをオフし、その増幅素子の出力電力が所定の電力より小さいとき上記スイッチをオンすることを特徴とする請求項3記載の高出力増幅器。
- [6] 最終段の増幅素子のコレクタ又はドレインにバイアスを供給するバイアスフィード回路が整合回路の入力端子に接続されている場合、上記バイアスフィード回路と並列にキャパシタが接続されていることを特徴とする請求項3記載の高出力増幅器。
- [7] インピーダンス回路内のスイッチがPINダイオードであることを特徴とする請求項3記載の高出力増幅器。
- [8] 正の電源電圧を駆動電圧として利用し、制御信号に応じて正極性又は負極性の電圧をPINダイオードに印加するバイアス回路を設けたことを特徴とする請求項7記載

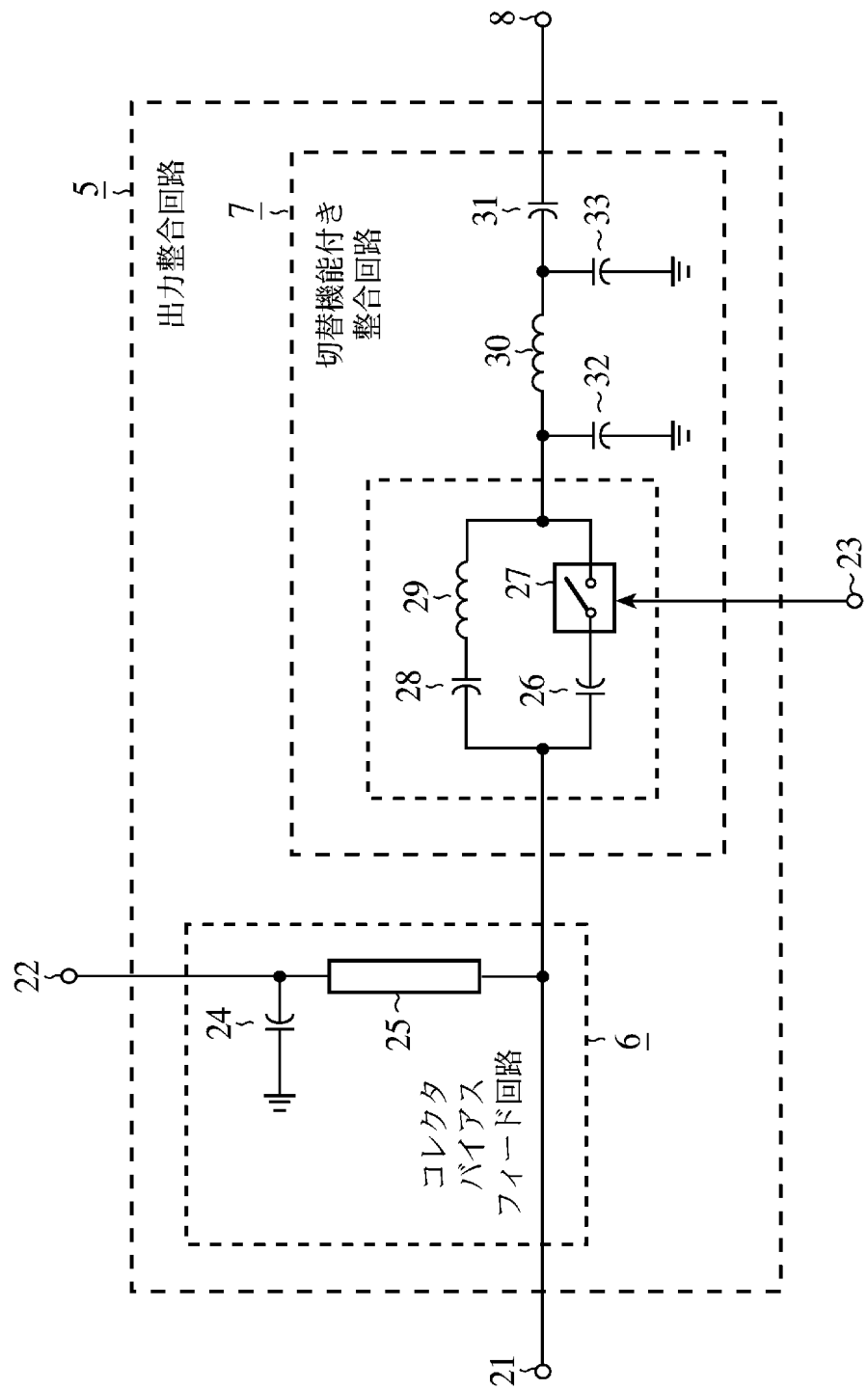
の高出力増幅器。

- [9] インピーダンス回路内のスイッチがトランジスタスイッチであることを特徴とする請求項3記載の高出力増幅器。
- [10] インピーダンス回路内のスイッチがメカニカルスイッチであることを特徴とする請求項3記載の高出力増幅器。
- [11] 増幅素子の出力電力が低下すると、その増幅素子のアイドル電流が少なくなるように、その増幅素子のベース電圧又はゲート電圧を制御する電圧制御手段を設けたことを特徴とする請求項1記載の高出力増幅器。
- [12] 増幅素子の出力電力が低下すると、その増幅素子のコレクタ電圧又はドレイン電圧を下げる電圧制御手段を設けたことを特徴とする請求項1記載の高出力増幅器。
- [13] 整合回路の整合条件が変更される際の通過位相の変化が少なくなるように、入力信号の通過位相を調整する位相調整回路が増幅素子の入力側又は段間の整合回路に搭載されていることを特徴とする請求項1記載の高出力増幅器。
- [14] キャパシタとスイッチが直列に接続されている直列回路と、キャパシタとが並列に接続されて位相調整回路が構成され、増幅素子の出力電力が所定の電力より大きいとき上記スイッチがオンし、その増幅素子の出力電力が所定の電力より小さいとき上記スイッチがオフすることを特徴とする請求項13記載の高出力増幅器。

[図1]



[図2]

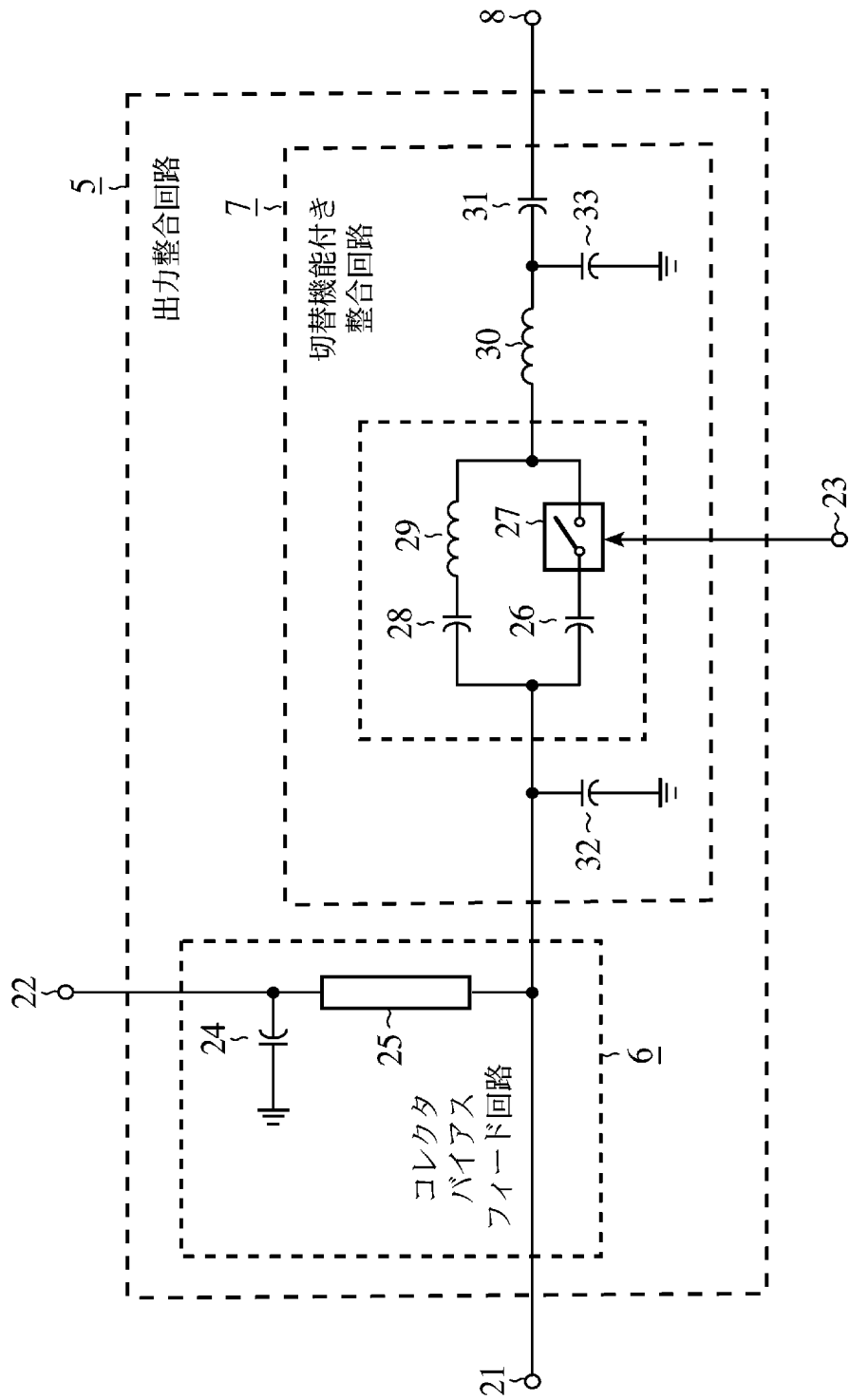


$Z_0=50[\text{Ohm}]$

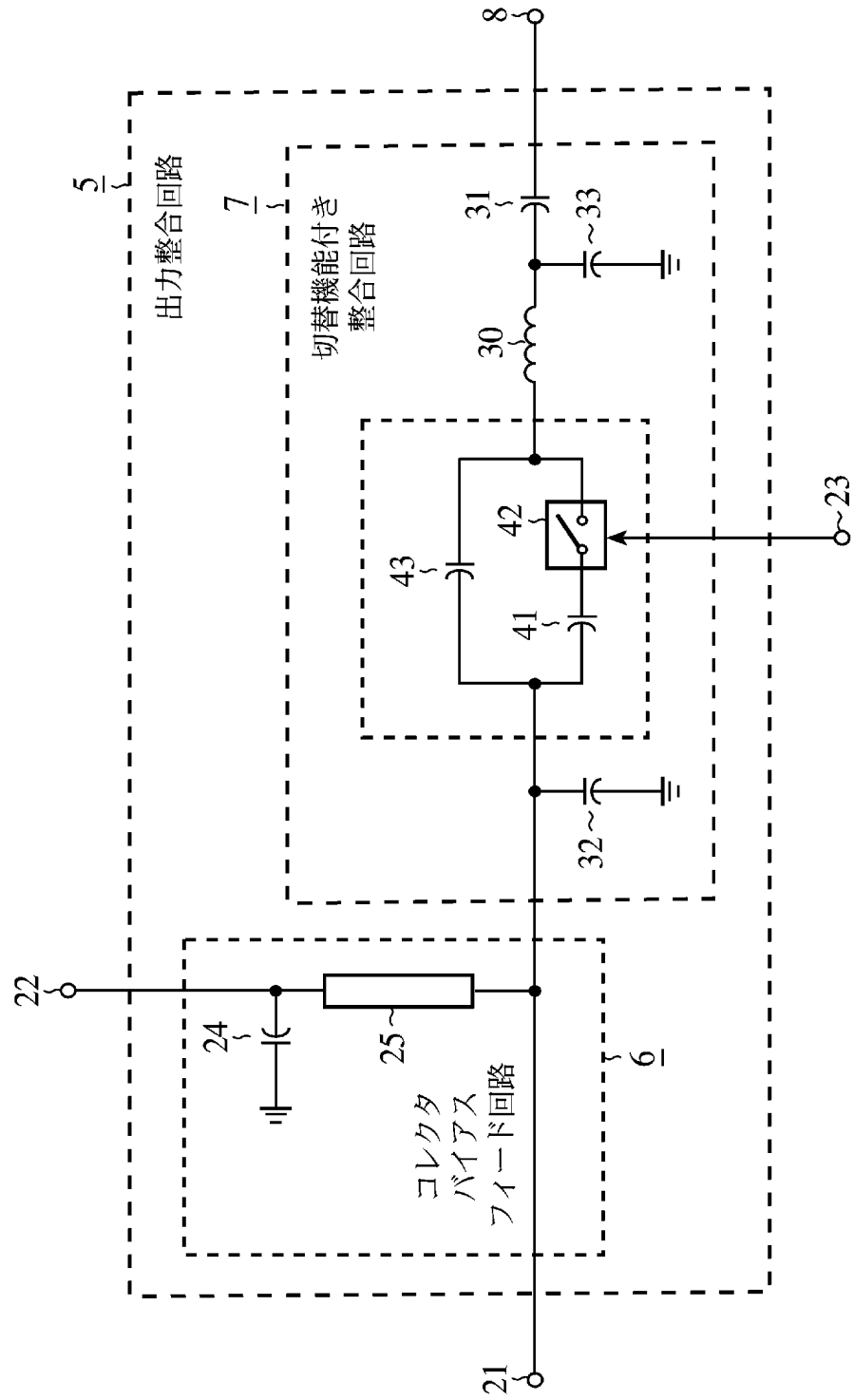
[図4]

	Icq Const.			Icq Control		
Pout [dBm]	Icq [mA]	PAE [%]	ACPR [dBc]	Icq [mA]	PAE [%]	ACPR [dBc]
10	18	12.47	-62.67	2	28.81	-40.87
11	18	18.06	-65.03	3	32.00	-41.77
12	18	21.07	-62.69	3	35.97	-40.24
16	18	36.81	-39.37	7	47.87	-38.19
19	18	42.21	-40.89	7	45.26	-38.98
20	18	46.47	-38.90	14	48.11	-38.56
21	18	49.77	-40.92	14	51.02	-39.56
24	18	50.44	-38.66	14	50.78	-38.37
25	18	48.99	-38.87	18	48.99	-38.87
26	18	45.42	-40.08	18	45.42	-40.08

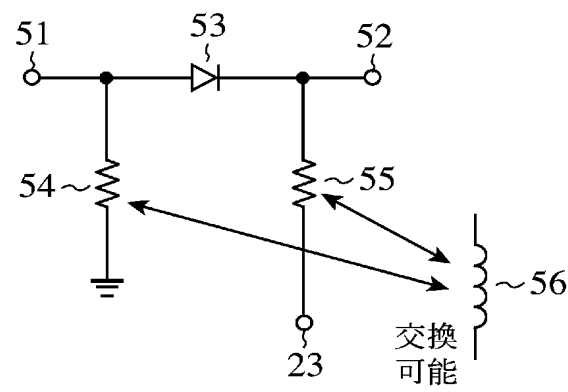
[図5]



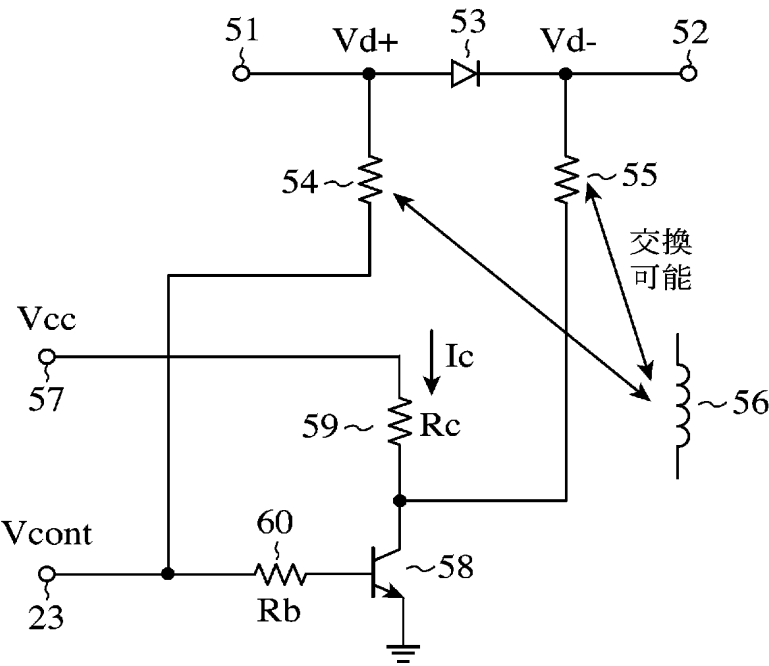
[図6]



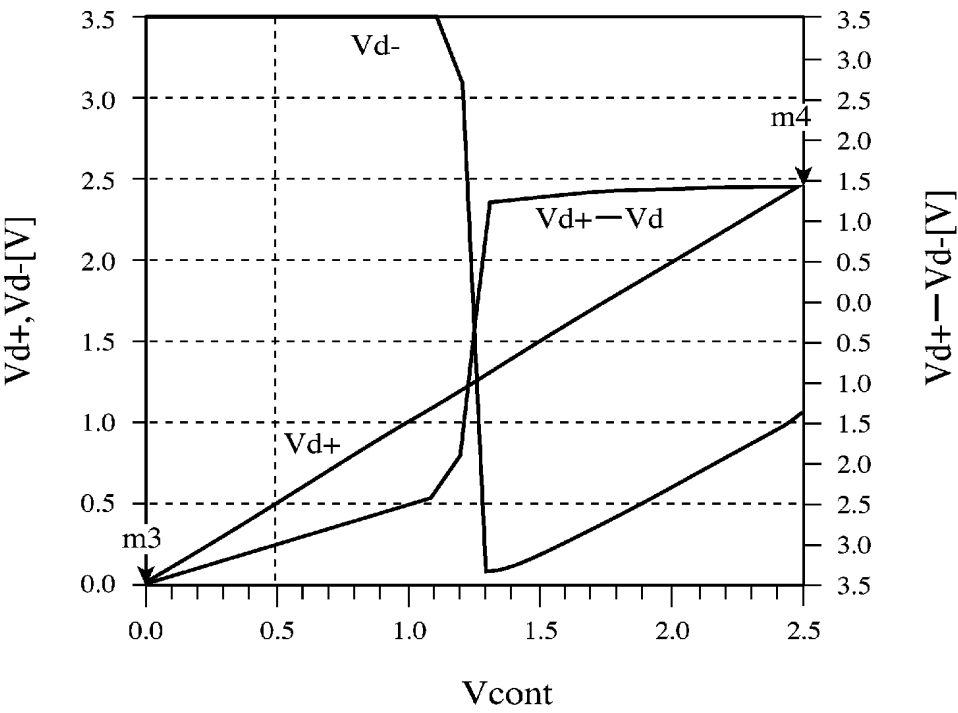
[図7]



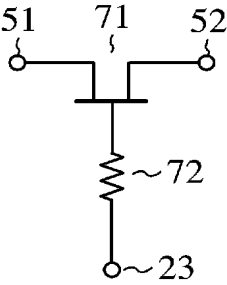
[図8]



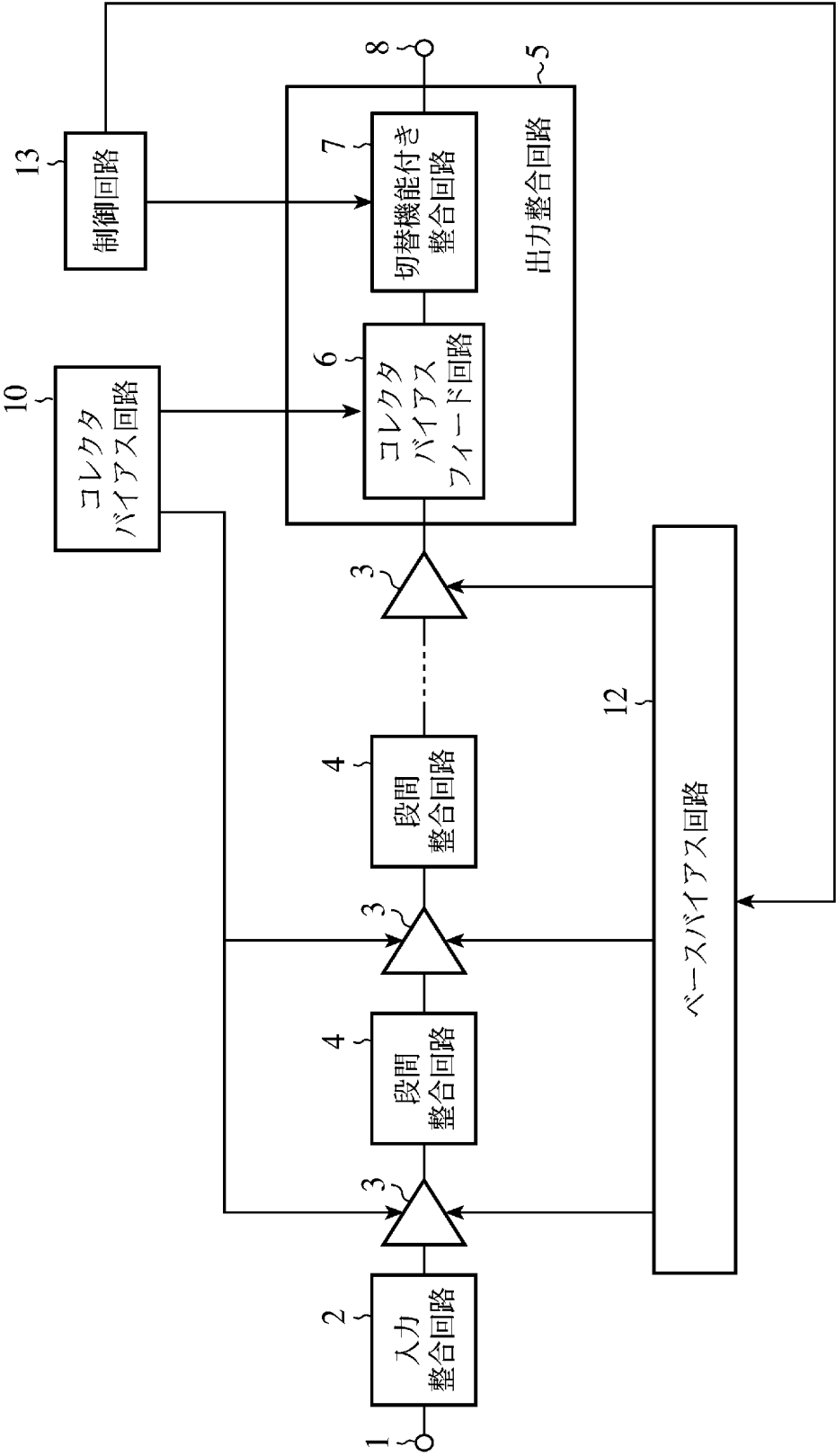
[図9]



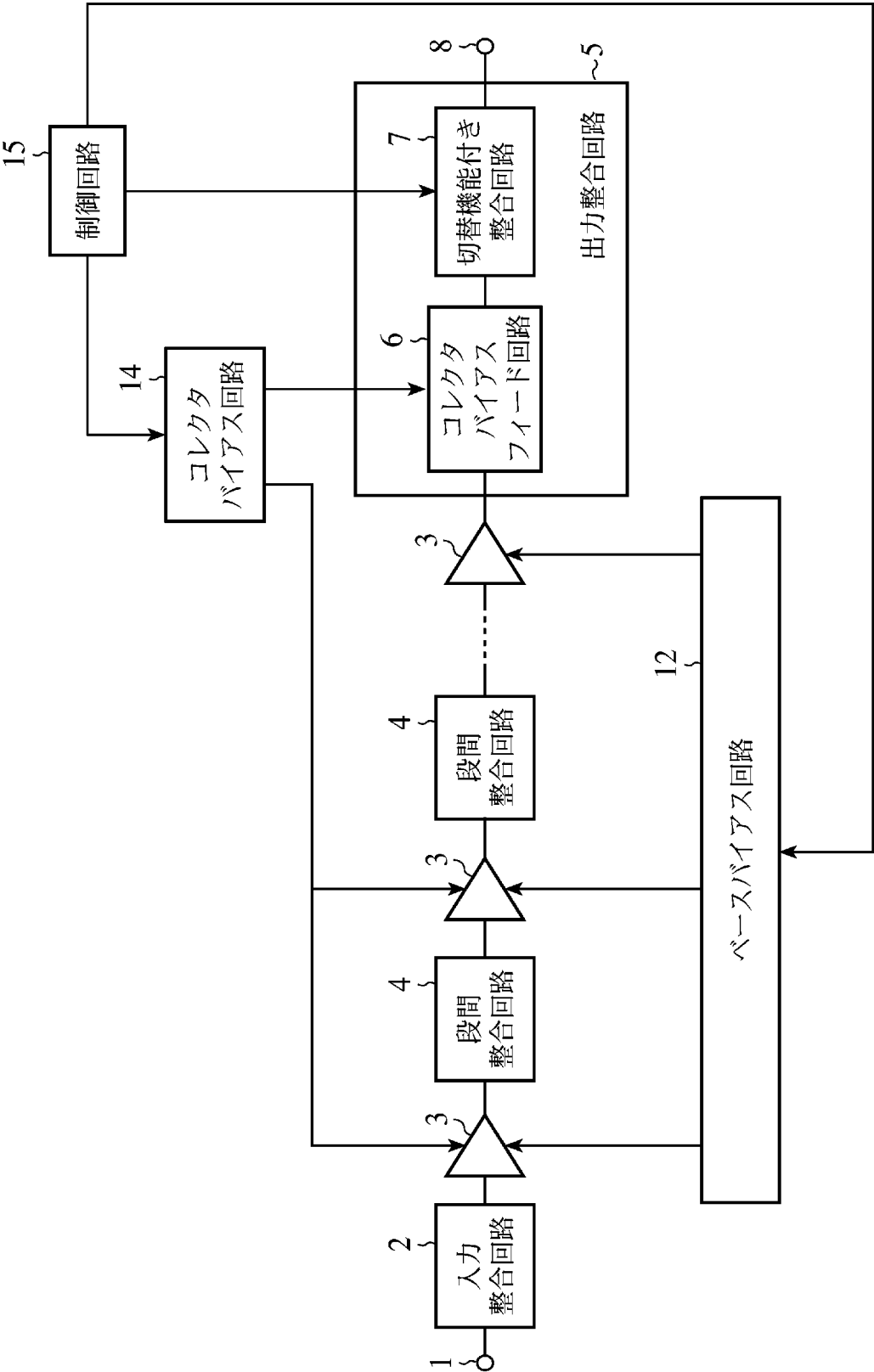
[図10]



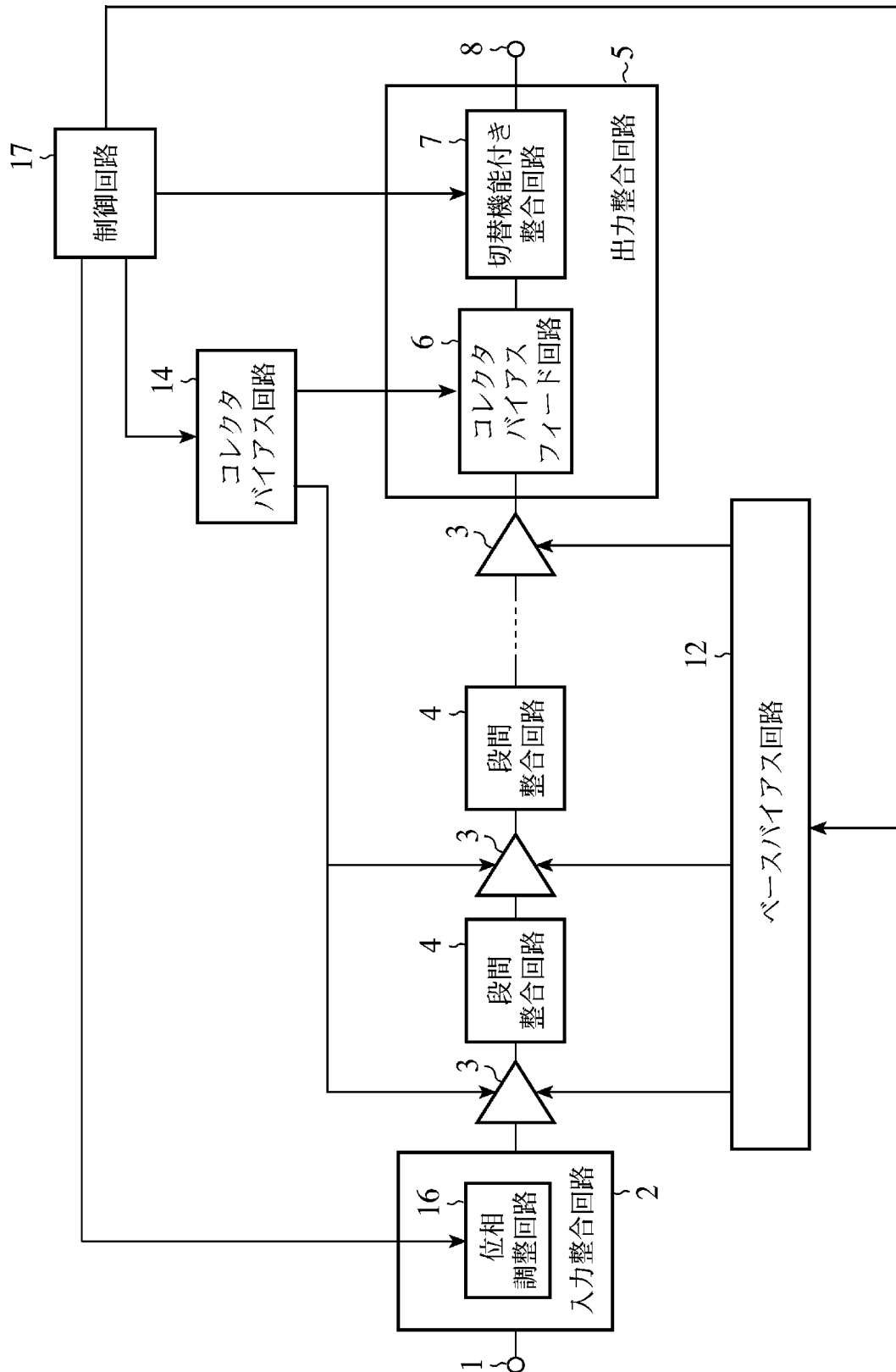
[図11]



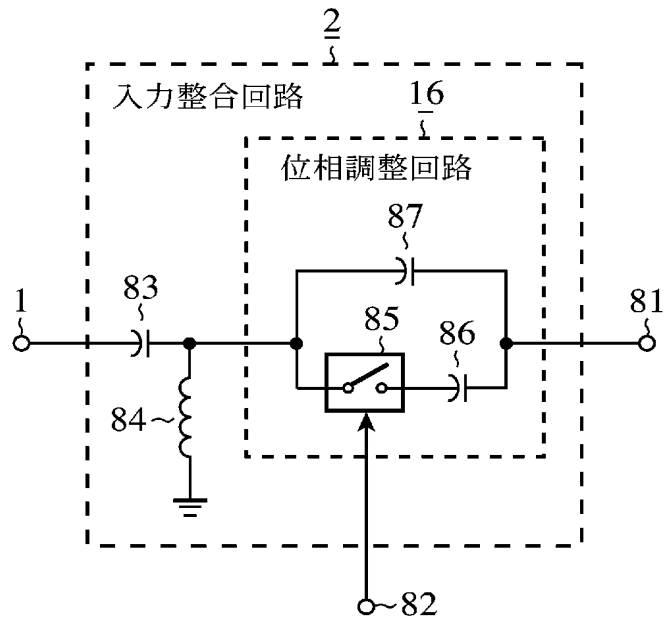
[図12]



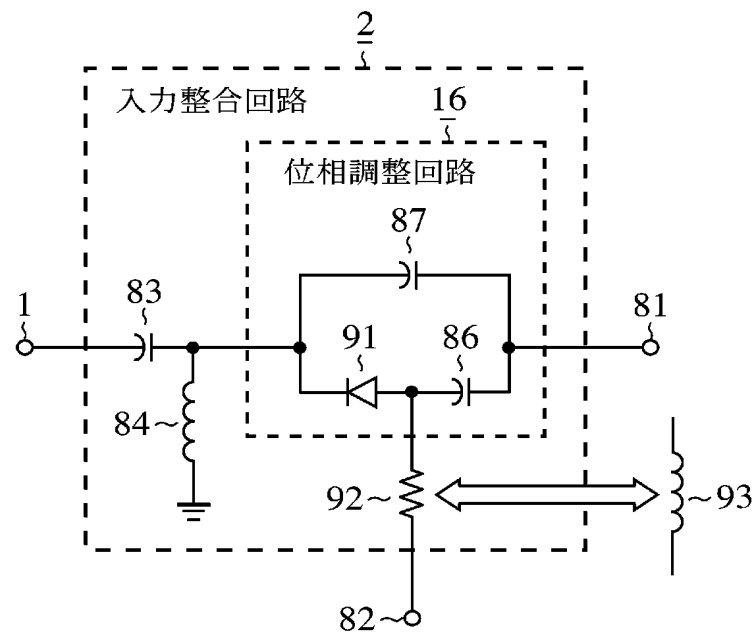
[図13]



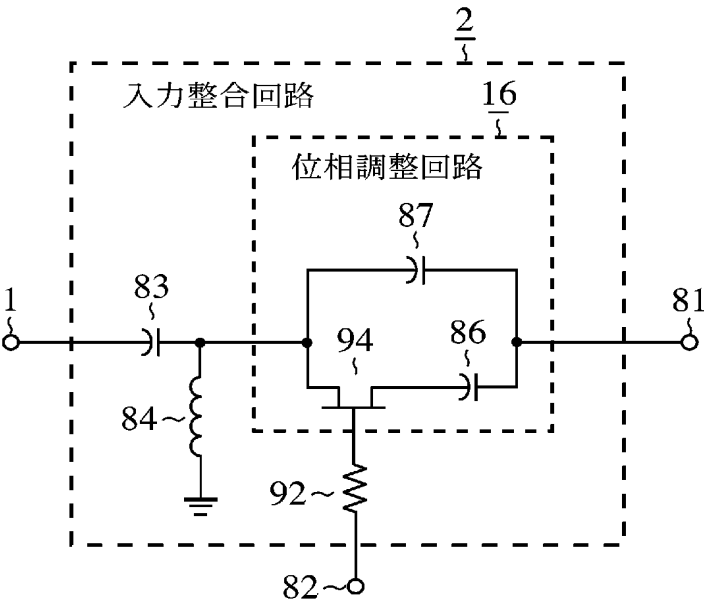
[図14]



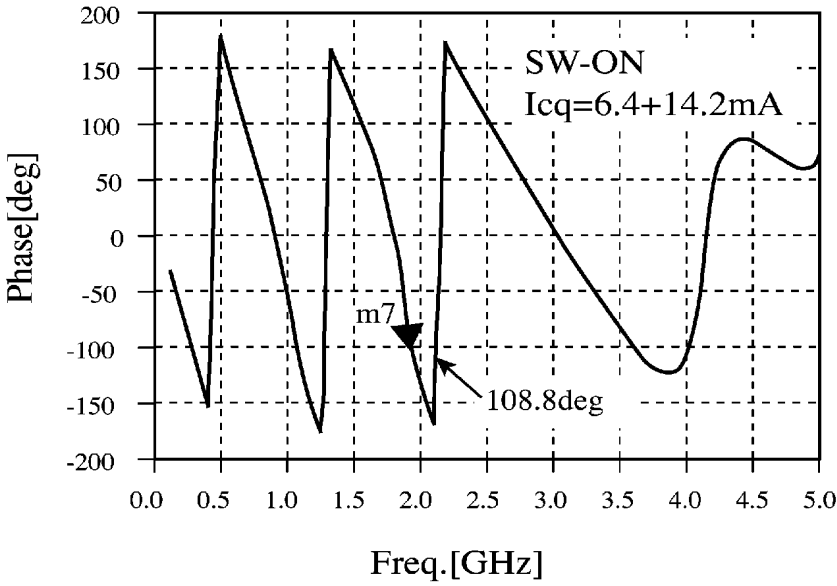
[図15]



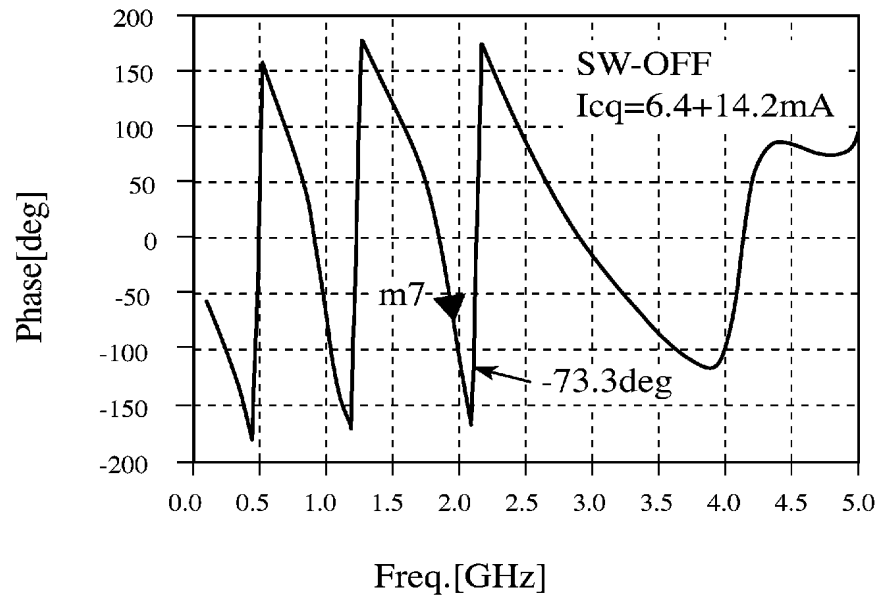
[図16]



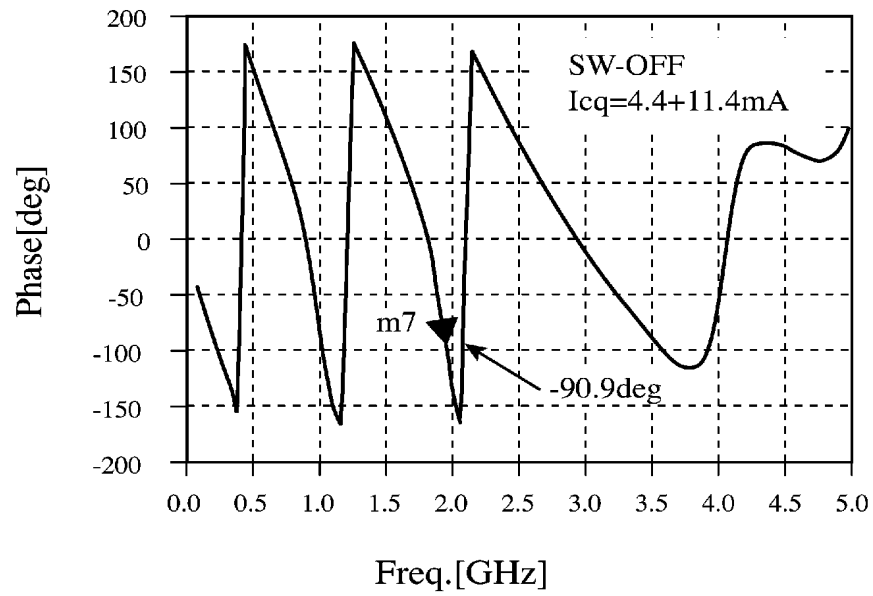
[図17]



[図18]

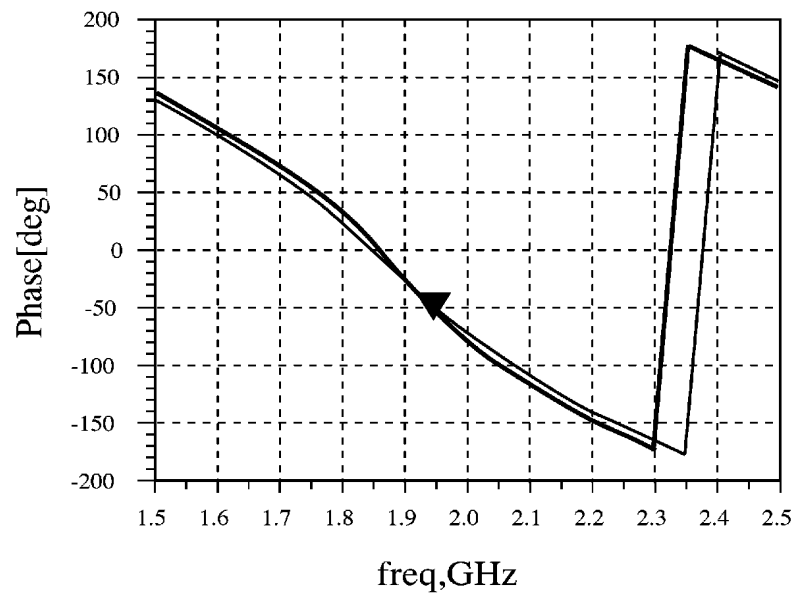


[図19]



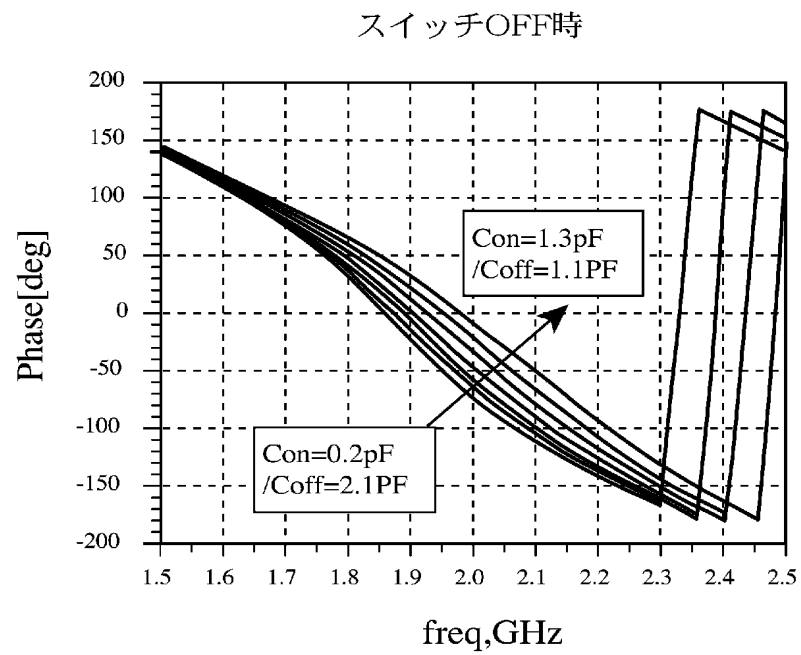
[図20]

スイッチON時

 $\text{Con} + \text{Coff} = \text{一定}$ 

ほとんど変化無し

[図21]



Con/Coff
=0.4pF/1.9pFで-16deg変化
=0.8pF/1.5pFで-44deg変化
=1.2pF/1.1pFで-64deg変化

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/010047

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ H03F1/56, 3/189

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03F1/00-3/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-220338 A (Matsushita Electric Industrial Co., Ltd.), 10 August, 1998 (10.08.98), Full text (Family: none)	1-3 4-14
Y	JP 9-284061 A (Sony Corp.), 31 November, 1999 (31.11.99), Full text (Family: none)	4, 5
Y	JP 11-330991 A (Murata Mfg. Co., Ltd.), 30 November, 1999 (30.11.99), Full text (Family: none)	6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 October, 2004 (12.10.04)

Date of mailing of the international search report
09 November, 2004 (09.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010047

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-276035 A (Fujitsu Ltd.), 30 September, 1994 (30.09.94), Full text (Family: none)	7-10
Y	JP 8-51317 A (Mitsubishi Electric Corp.), 20 February, 1996 (20.02.96), Full text (Family: none)	11,12
Y	JP 5-175758 A (Mitsubishi Electric Corp.), 13 July, 1993 (13.07.93), Full text (Family: none)	13,14

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl.⁷ H03F1/56、3/189

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl.⁷ H03F1/00-3/72

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-220338 A (松下電器産業株式会社)	1-3
Y	1998. 08. 10 全文 (ファミリーなし)	4-14
Y	JP 9-284061 A (ソニー株式会社)	4, 5
	1997. 10. 31 全文 (ファミリーなし)	
Y	JP 11-330991 A (株式会社村田製作所)	6
	1999. 11. 30 全文 (ファミリーなし)	
Y	JP 6-276035 A (富士通株式会社)	7-10
	1994. 09. 30 全文 (ファミリーなし)	
Y	JP 8-51317 A (三菱電機株式会社)	11, 12
	1996. 02. 20 全文 (ファミリーなし)	

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 12. 10. 2004

国際調査報告の発送日 09.11.2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 5W 9196
佐藤 敬介

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-175758 A (三菱電機株式会社) 1993. 07. 13 全文 (ファミリーなし)	13, 14